

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 5月27日
Date of Application:

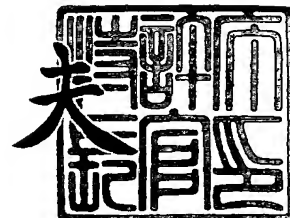
出願番号 特願2003-148806
Application Number:
[ST. 10/C]: [JP 2003-148806]

出願人 三菱電機株式会社
Applicant(s):

2003年11月18日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3095131

【書類名】 特許願

【整理番号】 545711JP01

【提出日】 平成15年 5月27日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/08

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

【氏名】 高相 純

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100098280

【弁理士】

【氏名又は名称】 石野 正弘

【手数料の表示】

【予納台帳番号】 163028

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ハーフレートCDR回路

【特許請求の範囲】

【請求項1】 入力信号とハーフレートクロックの位相を検出するハーフレート位相検出器と、チャージポンプ回路と、低域フィルタと、前記ハーフレートクロックを前記ハーフレート位相検出器にフィードバックする電圧制御発振器とを含むハーフレートCDR回路において、

前記ハーフレート位相検出器が、第1の1段目及び2段目ラッチ回路と、第2の1段目及び2段目ラッチ回路と、前記第1の1段目ラッチ回路からの出力と前記第2の1段目ラッチ回路からの出力を受けて、リタイミング信号を出力する選択回路と、前記第1の2段目ラッチ回路の出力と前記第2の2段目ラッチ回路の出力を受けて、基準信号を出力する第1排他的OR回路と、スルーデータパスに設けられたラッチ遅延回路と、前記ラッチ遅延回路の出力を受けるように前記スルーデータパスに設けられて、1パルス遅延量を発生するためのスルーデータを出力する1パルス遅延回路と、前記選択回路からの前記リタイミング信号と前記1パルス遅延回路からの前記スルーデータを受けて、出力信号を出力する第2排他的OR回路とを備え、更に、前記1パルス遅延回路を設けた前記ハーフレート位相検出器の位相比較極性が、前記電圧制御発振器としてN型LC電圧制御発振器を使用することを可能にすることを特徴とするハーフレートCDR回路。

【請求項2】 前記ハーフレート位相検出器の前記1パルス遅延回路のゲートサイズを変更可能としたことにより、前記1パルス遅延回路の前記1パルス遅延量を微調整できることを特徴とする請求項1に記載のハーフレートCDR回路。

【請求項3】 前記ハーフレート位相検出器の前記1パルス遅延回路の配線長を変更可能としたことにより、前記1パルス遅延回路の前記1パルス遅延量を微調整できることを特徴とする請求項1に記載のハーフレートCDR回路。

【請求項4】 異なるゲートバイアスレベルを有する複数のアップバイアス回路を前記チャージポンプ回路のアップ用定電流源に設け、更に、前記アップバイアス回路を切換えて前記アップ用定電流源の電流量を変化させることにより、

前記 1 パルス遅延回路の前記 1 パルス遅延量を微調整できることを特徴とする請求項 1 に記載のハーフレート CDR 回路。

【請求項 5】 異なるゲートバイアスレベルを有する複数のダウンバイアス回路を前記チャージポンプ回路のダウン用定電流源に設け、更に、前記ダウンバイアス回路を切換えて前記ダウン用定電流源の電流量を変化させることにより、前記 1 パルス遅延回路の前記 1 パルス遅延量を微調整できることを特徴とする請求項 1 に記載のハーフレート CDR 回路。

【請求項 6】 前記チャージポンプ回路のアップ用定電流源の個数を変更して前記アップ用定電流源の電流量を変化させることにより、前記 1 パルス遅延回路の前記 1 パルス遅延量を微調整できることを特徴とする請求項 1 に記載のハーフレート CDR 回路。

【請求項 7】 前記チャージポンプ回路のダウン用定電流源の個数を変更して前記ダウン用定電流源の電流量を変化させることにより、前記 1 パルス遅延回路の前記 1 パルス遅延量を微調整できることを特徴とする請求項 1 に記載のハーフレート CDR 回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、10GHz のフルレートの半分に等しい 5GHz のハーフレートで動作するハーフレート CDR (Clock and Data Recovery) 回路に関し、特に、ハーフレート CDR 回路の高速動作のマージンの向上に関する。

【0002】

【従来の技術】

従来、光通信ネットワークの高速化に伴い、CDR 回路は、10Gbps (ビット/秒) 以上のデータ伝送速度で動作するように、化合物などの高速プロセスで作製されていた。しかしながら、近年、低消費電力化の傾向の中で、CDR 回路は CMOS プロセスで作製されるようになってきている。一般的に、CMOS プロセスでは、CDR 回路は、トランジスタのカットオフ周波数 F_t と最大発振周波数 F_{max} の比 F_t / F_{max} を補うために、両クロックエッジで動作するように

作製されるので、高速動作を必要としないから、5 G H z のハーフレートで動作する。

【 0 0 0 3 】

従来のハーフレート C D R 回路は、フルレートのリタイミング信号を出力するハーフレート位相周波数検出器と、チャージポンプ回路と、低域フィルタ (L P F) と、ハーフレートクロックを出力する電圧制御発振器 (V C O (Voltage Controlled Oscillator)) とを備える (例えば、非特許文献 1 参照。) 。

【 0 0 0 4 】

別の従来の C D R 回路においては、電圧制御発振器 (V C O (Voltage Controlled Oscillator)) で発生したクロックの位相が入力データの位相よりも遅れている時は、位相検出器が、アップ信号を出力して、電圧制御発振器の出力クロックの周波数を高める一方、電圧制御発振器で発生したクロックの位相が入力データの位相よりも進んでいる時は、位相検出器が、ダウン信号を出力して、電圧制御発振器の出力クロックの周波数を低下させるように構成されている (例えば、特許文献 1 参照。) 。

【 0 0 0 5 】

【非特許文献 1】

J. Savoj and B. Razavi "A 10Gb/s CMOS Clock and Data Recovery Circuit with Frequency Detection", ISSC Digest of Technical Papers, pp. 78-79, Feb. 2001

【特許文献 1】

特開 2 0 0 2 - 3 5 9 5 5 5 号公報 (段落 5 3 乃至段落 5 6 、 図 1)

【 0 0 0 6 】

【発明が解決しようとする課題】

従来のハーフレート C D R 回路においては、ハーフレート位相検出器が低ジッタの N 型電圧制御発振器を使用できる位相比較極性ではなかったもので、ジッタ特性の悪い P 型電圧制御発振器を用いられることが多い。これにより、従来のハーフレート C D R 回路では、電圧制御発振器から発振されるフィードバッククロックのジッタが増加して、動作マージンが不足するという課題があった。

【0007】

又、従来のハーフレートCDR回路において、低ジッタのN型電圧制御発振器を使用した場合は、ハーフレート位相検出器の回路構成が複雑になると共に、ハーフレート位相検出器の回路規模、即ち、消費電力も大きくなるという問題が生じる。

【0008】

更に、従来のハーフレートCDR回路では、外部から遅延量を調整できないという不具合があった。

【0009】

この発明は、従来技術の上記問題点を解決するためになされたもので、従来のハーフレート位相検出器に1パルス遅延回路を挿入して、位相比較極性を反転させることにより、低ジッタのN型LC（インダクタンス・キャパシタンス）電圧制御発振器を用いることができるので、電圧制御発振器から発振されるフィードバッククロックのジッタが減少して、高速動作のマージンを拡大することができる一方、外部から高速動作を微調整することにより、フィードバッククロックを最適な位相に安定させることができる結果、全体が安定化すると共に、高速動作の安定性が増大したハーフレートCDR回路を提供することを目的とする。

【0010】

【課題を解決するための手段】

この発明のハーフレートCDR回路は、入力信号とハーフレートクロックの位相を検出するハーフレート位相検出器と、チャージポンプ回路と、低域フィルタと、前記ハーフレートクロックを前記ハーフレート位相検出器にフィードバックする電圧制御発振器とを含むハーフレートCDR回路において、前記ハーフレート位相検出器が、第1の1段目及び2段目ラッチ回路と、第2の1段目及び2段目ラッチ回路と、前記第1の1段目ラッチ回路からの出力と前記第2の1段目ラッチ回路からの出力を受けて、リタイミング信号を出力する選択回路と、前記第1の2段目ラッチ回路の出力と前記第2の2段目ラッチ回路の出力を受けて、基準信号を出力する第1排他的OR回路と、スルーデータパスに設けられたラッチ遅延回路と、前記ラッチ遅延回路の出力を受けるように前記スルーデータパスに

設けられて、1パルス遅延量を発生するためのスルーデータを出力する1パルス遅延回路と、前記選択回路からの前記リタイミング信号と前記1パルス遅延回路からの前記スルーデータを受けて、出力信号を出力する第2排他的OR回路とを備え、更に、前記1パルス遅延回路を設けた前記ハーフレート位相検出器の位相比較極性が、前記電圧制御発振器としてN型LC電圧制御発振器を使用することを可能にするものである。

【0011】

【発明の実施の形態】

以下に、この発明の各実施の形態を図面を参照して説明する。

【0012】

実施の形態1.

図1は、この発明の実施の形態1にかかるハーフレートCDR回路の全体構成を示す。このハーフレートCDR回路は、互いに直列接続されたハーフレート位相検出器10、チャージポンプ回路20、低域フィルタ(LPF)30と電圧制御発振器(VCO)40を備えて、外部から入力される高速データDataの位相と電圧制御発振器40から発振されるフィードバッククロックCLKの位相を常に合わせるように構成されている。

【0013】

ハーフレート位相検出器10は、外部から入力される高速データDataの位相と電圧制御発振器40から発振されるフィードバッククロックCLKの位相を検出して、高速データDataとフィードバッククロックCLKの位相差に応じた電圧信号をチャージポンプ回路20に出力する。ハーフレート位相検出器10はフィードバッククロックCLKの両エッジで動作するので、フィードバッククロックCLKは高速データDataの半周期クロックである。よって、フィードバッククロックCLKはハーフレートクロックである。高速データDataの位相とハーフレートクロックCLKの位相が合っている時、図2に示すように、ハーフレートクロックCLKのエッジが高速データDataの中心点に位置する。

【0014】

ハーフレート位相検出器10から出力された電圧信号は、チャージポンプ回路

20により電流信号に変換される。次に、低域フィルタ30は、チャージポンプ回路20からの電流信号の低周波成分のみを通過させて、制御電圧 V_c を生成する。更に、電圧制御発振器40は、制御電圧 V_c に対応した発振を行って、ハーフレートクロックCLKをハーフレート位相検出器10に出力する。

【0015】

図3は、電圧制御発振器40を示し、又、図4は、図3の電圧制御発振器40において破線Aで囲んだバラクタの構成を示す。図3に示すように、電圧制御発振器40はLC発振を行う。又、図4から明らかなように、電圧制御発振器40のバラクタは、P型基板を用いたN型バラクタである。従って、電圧制御発振器40は、N型LC式である。図5(A)に示すように、N型電圧制御発振器40は、制御電圧 V_c に対して周波数が右肩上がりに増加する特性を示す。これに対し、比較例としての従来のP型電圧制御発振器は、図5(B)に示すように、制御電圧 V_c に対して周波数が右肩下がりに減少する特性を示す。

【0016】

図6は、従来のハーフレート位相検出器に1パルス遅延回路19を付加することにより得られるハーフレート位相検出器10の構成を示し、図7は、ハーフレート位相検出器10の信号のタイミングチャートである。ハーフレート位相検出器10は、外部からの差動高速データD及び $\neg D$ とハーフレートクロックCLKを受ける1段目ラッチ回路11と、差動高速データD及び $\neg D$ と反転ハーフレートクロック $\neg CLK$ を受ける1段目ラッチ回路12と、1段目ラッチ回路11の出力と反転ハーフレートクロック $\neg CLK$ を受けて、信号FF1及びその反転信号 $\neg FF1$ を出力する2段目ラッチ回路13と、1段目ラッチ回路12の出力とハーフレートクロックCLKを受けて、信号FF2及びその反転信号 $\neg FF2$ を出力する2段目ラッチ回路14とを備える。

【0017】

ハーフレート位相検出器10は、又、1段目ラッチ回路11と12の出力とハーフレートクロックCLKを受けて、リタイミング信号RED及びその反転リタイミング信号 $\neg RED$ を出力する選択回路15と、2段目ラッチ回路13から出力された信号FF1及びその反転信号 $\neg FF1$ と2段目ラッチ回路14から

出力された信号 $FF2$ 及びその反転信号 $\neg FF2$ を受けて、基準信号 REF 及びその反転基準信号 $\neg REF$ を出力する第 1 排他的 OR 回路 16 とを備える。

【0018】

ハーフレート位相検出器 10 は、更に、スルーデータパスに設けられたラッチ遅延回路 18 と、ラッチ遅延回路 18 の出力を受けるようにスルーデータパスに設けられて、スルーデータ $TH-D$ 及びその反転スルーデータ $\neg TH-D$ を出力する 1 パルス遅延回路 19 と、選択回路 15 から出力されたリタイミング信号 $RE-D$ 及びその反転リタイミング信号 $\neg RE-D$ と 1 パルス遅延回路 19 から出力されたスルーデータ $TH-D$ 及びその反転スルーデータ $\neg TH-D$ を受けて、出力信号 OUT 及びその反転出力信号 $\neg OUT$ を出力する第 2 排他的 OR 回路 17 とを備える。

【0019】

上記構成のハーフレート位相検出器 10 の動作を説明する。まず、外部からの差動高速データ D 及び $\neg D$ とハーフレートクロック CLK が 1 段目ラッチ回路 11 に入力される一方、差動高速データ D 及び $\neg D$ と反転ハーフレートクロック $\neg CLK$ が 1 段目ラッチ回路 12 に入力される。差動高速データ D 及び $\neg D$ は、又、ラッチ遅延回路 18 に入力される。差動高速データ D 及び $\neg D$ は、1 段目ラッチ回路 11 と 2 段目ラッチ回路 13 によってラッチされて信号 $FF1$ 及びその反転信号 $\neg FF1$ として出力されると共に、1 段目ラッチ回路 12 と 2 段目ラッチ回路 14 によってラッチされて信号 $FF2$ 及びその反転信号 $\neg FF2$ として出力される。

【0020】

信号 $FF1$ 及びその反転信号 $\neg FF1$ と信号 $FF2$ 及びその反転信号 $\neg FF2$ は、差動ハーフレートクロック CLK 及び $\neg CLK$ によってリタイミングされるので、図 7 に示すように、差動ハーフレートクロック CLK 及び $\neg CLK$ のエッジに同期している。次に、第 1 排他的 OR 回路 16 が、信号 $FF1$ 及びその反転信号 $\neg FF1$ と信号 $FF2$ 及びその反転信号 $\neg FF2$ の排他的 OR 演算を行って、図 7 に示す基準信号 REF 及びその反転基準信号 $\neg REF$ を出力する。基準信号 REF 及びその反転基準信号 $\neg REF$ のパルスは、差動高速データ D 及び $\neg D$

が変化した時だけ立上がる。又、基準信号 R E F 及びその反転基準信号 \neg R E F のエッジは、差動ハーフレートクロック C L K 及び \neg C L K のエッジに同期している。

【0021】

更に、選択回路 15 は、1 段目ラッチ回路 11 と 12 の出力を受けて、リタイミング信号 R E - D 及びその反転リタイミング信号 \neg R E - D を出力する。よって、図 7 に示すように、リタイミング信号 R E - D 及びその反転リタイミング信号 \neg R E - D は、差動高速データ D 及び \neg D と同じ配列でありながら、その変化点が差動ハーフレートクロック C L K 及び \neg C L K のエッジに同期している。

【0022】

一方、ラッチ遅延回路 18 は、2 段目ラッチ回路 13 及び 14 の遅延量と同じ遅延量を付加するための回路である。図 8 に示すように、ラッチ遅延回路 18 は、ラッチ動作をせずに、負荷だけ同じにして 2 段目ラッチ回路 13 と 14 の遅延量と同じ遅延量を有するラッチ回路 18 a とラッチレプリカ回路 18 b を有する。又、1 パルス遅延回路 19 は、ハーフレートクロック C L K の 1 周期分の遅延量、即ち、1 パルス遅延量を付加する。例えば、1 パルス遅延回路 19 は、図 9 に示すように、バッファを多段に接続することにより構成される。差動高速データ D 及び \neg D は、ラッチ遅延回路 18 と 1 パルス遅延回路 19 を通過して、スルーデータ T H - D 及びその反転スルーデータ \neg T H - D として図 7 に示すタイミングで出力される。

【0023】

もし差動高速データ D 及び \neg D の位相がちょうど差動ハーフレートクロック C L K 及び \neg C L K の半周期分ずれてラッチされていれば、即ち、もし差動高速データ D 及び \neg D が差動ハーフレートクロック C L K 及び \neg C L K と同期していれば、スルーデータ T H - D 及びその反転スルーデータ \neg T H - D の位相は、リタイミング信号 R E - D 及びその反転リタイミング信号 \neg R E - D の半周期分ずれたタイミングで出力される。又、スルーデータ T H - D 及びその反転スルーデータ \neg T H - D の位相は、差動高速データ D 及び \neg D の位相を反映している。

【0024】

次に、第2排他的OR回路17が、スルーデータTH-D及びその反転スルーデータ/TH-Dとリタイミング信号RE-D及びその反転リタイミング信号/RE-Dの排他的OR演算を行って、出力信号OUT及びその反転出力信号/OUTを出力する。図7において、出力信号OUT及びその反転出力信号/OUTのパルスは、ハッチング部では立上がらないと共に、差動高速データD及び/Dと差動ハーフレートクロックCLK及び/CLKの位相を反映している。

【0025】

例えば、差動高速データD及び/Dの位相が一定で、差動ハーフレートクロックCLK及び/CLKの位相が変化すると仮定する。差動ハーフレートクロックCLK及び/CLKの位相が差動高速データD及び/Dの位相に対して前方にずれた時、出力信号OUT及びその反転出力信号/OUTのパルスはHレベル期間が長くなる。逆に、差動ハーフレートクロックCLK及び/CLKの位相が差動高速データD及び/Dの位相に対して後方にずれた時、出力信号OUT及びその反転出力信号/OUTのパルスはHレベル期間が短くなる。つまり、出力信号OUT及びその反転出力信号/OUTにより、差動高速データD及び/Dと差動ハーフレートクロックCLK及び/CLKの位相が検出されるように構成されている。

【0026】

差動高速データD及び/Dと差動ハーフレートクロックCLK及び/CLKの位相が合っている場合、即ち、差動ハーフレートクロックCLK及び/CLKのエッジが差動高速データD及び/Dの中央に位置する場合、差動高速データD及び/Dが出力信号OUT及びその反転出力信号/OUTにより変化した時だけ、差動高速データD及び/Dの半周期分のパルスが立上がる。一方、基準信号REF及びその反転基準信号/REFは、差動高速データD及び/Dのエッジを参考にしていないので、常に差動ハーフレートクロックCLK及び/CLKの位相に同期したパルスを立上げる。

【0027】

図10に示すように、基準信号REF及びその反転基準信号/REFがアップ信号UPとしてチャージポンプ回路20に入力される一方、出力信号OUT及び

その反転出力信号／OUTがダウン信号DOWNとしてチャージポンプ回路20に入力される。差動高速データD及び／Dと差動ハーフレートクロックCLK及び／CLKが同期している時、基準信号REF及びその反転基準信号／REFは出力信号OUT及びその反転出力信号／OUTの2倍のパルス幅を有する。

【0028】

そこで、図10に示すように、アップ用定電流源21の電流値のダウン用定電流源22の電流値に対する比を1:2にすることにより、チャージポンプ回路20のアップ用定電流源21とダウン用定電流源22から低域フィルタ30を介して制御電圧Vcに流入する総電荷量を一定にしている。差動ハーフレートクロックCLK及び／CLKの位相が差動高速データD及び／Dの位相に対して前方にずれた時、ダウン用定電流源22から制御電圧Vcに流入する電荷量が増加するので、制御電圧Vcは低下する。制御電圧Vcが低下すると、電圧制御発振器40の発振が遅くなるので、差動ハーフレートクロックCLK及び／CLKが後方にリカバリされるようになる。

【0029】

逆に、差動ハーフレートクロックCLK及び／CLKの位相が差動高速データD及び／Dの位相に対して後方にずれた時、アップ用定電流源21から制御電圧Vcに流入する電荷量が増加するので、制御電圧Vcは上昇する。制御電圧Vcが上昇すると、電圧制御発振器40の発振が速くなるので、差動ハーフレートクロックCLK及び／CLKが前方にリカバリされるようになる。この結果、差動ハーフレートクロックCLK及び／CLKが、常に、差動高速データD及び／Dと位相を合わせる動作を行う。

【0030】

この実施の形態では、ハーフレート位相検出器10に1パルス遅延回路19を挿入して、位相比較極性を反転させることにより、低ジッタのN型LC電圧制御発振器40を用いることができるので、電圧制御発振器40から発振されるハーフレートクロックCLKのジッタが減少するから、高速データDataの受信感度が向上すると共に、高速動作のマージンを拡大することができる結果、ハーフレートCDR回路全体が安定化し、高速動作の安定性が増す。

【0031】

実施の形態2.

図11は、この発明の実施の形態2にかかるハーフレートCDR回路のハーフレート位相検出器10に用いられる1パルス遅延回路19Aの詳細構成を示す。実施の形態1の1パルス遅延回路19では、高速データDataを入力しているので、図9に示すように、高速で動作可能なCML (Current Mode Logic) バッファを多段接続することにより、1パルス遅延回路19の1パルス遅延量を発生させている。しかしながら、ゲート段数の切換えでは、20ps程度の大きな遅延調整しか行うことができない。

【0032】

そこで、この実施の形態の1パルス遅延回路19Aでは、ゲートサイズを変更可能としたことにより、1パルス遅延量を微調整することができるようにしている。ゲートサイズを大きくすると、スイッチング速度が低下して、1パルス遅延量が大きくなる。逆に、ゲートサイズを小さくすると、スイッチング速度が上昇して、1パルス遅延量が小さくなる。

【0033】

この実施の形態では、ハーフレート位相検出回路10の1パルス遅延回路19Aのゲートサイズを変更することにより、スイッチング速度を緩和することができると共に、1パルス遅延量を微調整することができるので、ハーフレートクロックCLKを最適な位相に安定させることができるから、ハーフレートCDR回路全体が安定化し、高速動作の安定性が増す。

【0034】

実施の形態3.

図12は、この発明の実施の形態3にかかるハーフレートCDR回路のハーフレート位相検出器10に用いられる1パルス遅延回路19Bの詳細構成を示す。1パルス遅延回路19Bでは、バッファ間の配線長を変更可能としたことにより、1パルス遅延量を微調整することができるようにしている。配線長を大きくすると、配線遅延量が増加して、1パルス遅延量が大きくなる。逆に、配線長を小さくすると、配線遅延量が減少して、1パルス遅延量が少なくなる。

【0035】

この実施の形態では、ハーフレート位相検出回路10の1パルス遅延回路19Bのバッファ間の配線長を変更可能としたことにより、1パルス遅延量を微調整することができるので、ハーフレートクロックCLKを最適な位相に安定させることができるから、ハーフレートCDR回路全体が安定化し、高速動作の安定性が増す。

【0036】

実施の形態4.

図13は、この発明の実施の形態4にかかるハーフレートCDR回路に用いられるチャージポンプ回路20Aを示す。1パルス遅延回路19を補償するために、チャージポンプ回路20Aのアップ電流量を変化させることにより、1パルス遅延量を微調整する。

【0037】

図7に示すように、スルーデータTH-D及びその反転スルーデータ/ $\overline{\text{TH-D}}$ を差動高速データD及び/ $\overline{\text{D}}$ に対して1パルス分遅延させて出力することができる、チャージポンプ回路20Aのアップ信号UPのダウン信号DOWNに対する比を1:2に設定することにより、差動ハーフレートクロックCLK及び/ $\overline{\text{CLK}}$ のエッジは差動高速データD及び/ $\overline{\text{D}}$ の中央に位置する。

【0038】

しかし、図14に示すように、1パルス遅延回路19が正確な1パルス遅延量を発生できない時、差動ハーフレートクロックCLK及び/ $\overline{\text{CLK}}$ のエッジは、差動高速データD及び/ $\overline{\text{D}}$ の中央に安定することなく、差動高速データD及び/ $\overline{\text{D}}$ の両エッジのいずれかにずれて安定するようになる。これは高速データの受信感度を狭めるので、高速動作のマージンの減少につながる。

【0039】

これを補償するために、チャージポンプ回路20Aの定電流値を調整することにより、差動ハーフレートクロックCLK及び/ $\overline{\text{CLK}}$ のエッジを差動高速データD及び/ $\overline{\text{D}}$ の中央に安定させる。このために、アップ用定電流源21の電流量を変化させることにより、1パルス遅延量のずれを微調整する。アップ用定電流

源 21 の電流量を増加させれば、1 パルス遅延回路の動作を早めたことと等しくなる。

【0040】

アップ用定電流源 21 の電流量を調整するために、レベルの異なるゲートバイアスを有する 3 個のアップバイアス回路、即ち、H レベルのゲートバイアスを有する第 1 アップバイアス回路 25、ノーマルレベルのゲートバイアスを有する第 2 アップバイアス回路 26 と L レベルのゲートバイアスを有する第 3 アップバイアス回路 27 を設ける。第 1 アップバイアス回路 25、第 2 アップバイアス回路 26 と第 3 アップバイアス回路 27 を外部からトランSMissionゲートで切換えることにより、チップ間のばらつきにも対応することができる。

【0041】

この実施の形態では、異なるゲートバイアスレベルを有する 3 個のアップバイアス回路 25 乃至 27 を切換えてチャージポンプ回路 20A のアップ電流量を変化させることにより、1 パルス遅延量を微調整することができるので、ハーフレートクロック CLK を最適な位相に安定させることができるから、ハーフレート CDR 回路全体が安定化し、高速動作の安定性が増す。

【0042】

実施の形態 5.

図 15 は、この発明の実施の形態 5 にかかるハーフレート CDR 回路に用いられるチャージポンプ回路 20B を示す。実施の形態 4 のチャージポンプ回路 20A と同様に、チャージポンプ回路 20B は 1 パルス遅延回路 19 を補償する。チャージポンプ回路 20A ではアップ用定電流源 21 の電流量を変化させているのに対し、この実施の形態では、1 パルス遅延回路 19 を補償するために、チャージポンプ回路 20B のダウン用定電流源 22 の電流量を変化させることにより、1 パルス遅延量を微調整する。ダウン用定電流源 22 の電流量を増加させれば、1 パルス遅延回路の動作を遅くしたことと等しくなる。

【0043】

ダウン用定電流源 22 の電流量を調整するために、レベルの異なるゲートバイアスを有する 3 個のダウンバイアス回路、即ち、H レベルのゲートバイアスを有

する第1ダウンバイアス回路31、ノーマルレベルのゲートバイアスを有する第2ダウンバイアス回路32とLレベルのゲートバイアスを有する第3ダウンバイアス回路33を設ける。第1ダウンバイアス回路31、第2アップバイアス回路32と第3アップバイアス回路33を外部からトランSMissionゲートで切替えることにより、チップ間のばらつきにも対応することができる。

【0044】

この実施の形態では、異なるゲートバイアスレベルを有する3個のダウンバイアス回路31乃至32を切替えてチャージポンプ回路20Bのダウン電流量を変化させることにより、1パルス遅延量を微調整することができるので、ハーフレートクロックCLKを最適な位相に安定させることができるから、ハーフレートCDR回路全体が安定化し、高速動作の安定性が増す。

【0045】

実施の形態6.

図16は、この発明の実施の形態6にかかるハーフレートCDR回路に用いられるチャージポンプ回路20Cを示す。実施の形態4のチャージポンプ回路20Aと同様に、チャージポンプ回路20Cは1パルス遅延量を微調整する。チャージポンプ回路20Aでは、異なるゲートバイアスレベルを有する3個のアップバイアス回路25乃至27を切替えてチャージポンプ回路20Aのアップ用定電流源21の電流量を変化させている。これに対し、この実施の形態では、チャージポンプ回路20Cのアップ用定電流源21の個数、即ち、アップ用定電流源21を形成するトランジスタのサイズを変更して、アップ用定電流源21の電流量を変化させている。

【0046】

よって、チャージポンプ回路20Cでは、実施の形態4のように、複数のアップバイアス回路を設ける必要がないので、レイアウトがコンパクトになる。又、アップ用定電流源21を形成するトランジスタのサイズを外部からトランSMissionゲートで切替えることにより、チップ間のばらつきにも対応することができる。

【0047】

この実施の形態では、アップ用定電流源 21 を形成するトランジスタのサイズを切換えてチャージポンプ回路 20C のアップ電流量を変化させることにより、1 パルス遅延量を微調整することができるので、ハーフレートクロック CLK を最適な位相に安定させることができるから、ハーフレート CDR 回路全体が安定化し、高速動作の安定性が増す。

【0048】

実施形態 7.

図 17 は、この発明の実施の形態 7 にかかるハーフレート CDR 回路に用いられるチャージポンプ回路 20D を示す。実施の形態 5 のチャージポンプ回路 20B と同様に、チャージポンプ回路 20D は 1 パルス遅延量を微調整する。チャージポンプ回路 20B では、異なるゲートバイアスレベルを有する 3 個のダウンバイアス回路 31 乃至 33 を切換えてチャージポンプ回路 20B のダウン用定電流源 22 の電流量を変化させている。これに対し、この実施の形態では、チャージポンプ回路 20D のダウン用定電流源 22 の個数、即ち、ダウン用定電流源 22 を形成するトランジスタのサイズを変更して、ダウン用定電流源 22 の電流量を変化させている。

【0049】

よって、チャージポンプ回路 20D では、実施の形態 5 のように、複数のダウンバイアス回路を設ける必要がないので、レイアウトがコンパクトになる。又、ダウン用定電流源 22 を形成するトランジスタのサイズを外部からトランスミッシヨンゲートで切換えることにより、チップ間のばらつきにも対応することができる。

【0050】

この実施の形態では、ダウン用定電流源 22 を形成するトランジスタのサイズを切換えてチャージポンプ回路 20D のダウン電流量を変化させることにより、1 パルス遅延量を微調整することができるので、ハーフレートクロック CLK を最適な位相に安定させることができるから、ハーフレート CDR 回路全体が安定化し、高速動作の安定性が増す。

【0051】

【発明の効果】

以上のように、この発明によれば、入力信号とハーフレートクロックの位相を検出するハーフレート位相検出器と、チャージポンプ回路と、低域フィルタと、前記ハーフレートクロックを前記ハーフレート位相検出器にフィードバックする電圧制御発振器とを含むハーフレートCDR回路において、前記ハーフレート位相検出器が、第1の1段目及び2段目ラッチ回路と、第2の1段目及び2段目ラッチ回路と、前記第1の1段目ラッチ回路からの出力と前記第2の1段目ラッチ回路からの出力を受けて、リタイミング信号を出力する選択回路と、前記第1の2段目ラッチ回路の出力と前記第2の2段目ラッチ回路の出力を受けて、基準信号を出力する第1排他的OR回路と、スルーデータパスに設けられたラッチ遅延回路と、前記ラッチ遅延回路の出力を受けるように前記スルーデータパスに設けられて、1パルス遅延量を発生するためのスルーデータを出力する1パルス遅延回路と、前記選択回路からの前記リタイミング信号と前記1パルス遅延回路からの前記スルーデータを受けて、出力信号を出力する第2排他的OR回路とを備え、更に、前記1パルス遅延回路を設けた前記ハーフレート位相検出器の位相比較極性が、前記電圧制御発振器としてN型LC電圧制御発振器を使用することを可能にするので、電圧制御発振器から発振されるハーフレートクロックのジッタが減少するから、入力信号の受信感度が向上すると共に、高速動作のマージンを拡大することができる結果、ハーフレートCDR回路全体が安定化し、高速動作の安定性が増す。

【図面の簡単な説明】

【図1】 この発明の実施の形態1にかかるハーフレートCDR回路の構成を示すブロック図である。

【図2】 図1のハーフレートCDR回路における高速データとハーフレートクロックの同期時のタイミングチャートである。

【図3】 図1のハーフレートCDR回路に用いられる電圧制御発振器の回路図である。

【図4】 図3の電圧制御発振器のバクタの構成を示す図である。

【図5】 (A)はN型のVCO特性を示すグラフであり、(B)はP型の

VCO特性を示すグラフである。

【図 6】 図 1 のハーフレート CDR 回路に用いられるハーフレート位相検出器の回路図である。

【図 7】 図 6 のハーフレート位相検出器の信号のタイミングチャートである。

【図 8】 図 6 のハーフレート位相検出器に用いられるラッチ遅延回路の回路図である。

【図 9】 図 6 のハーフレート位相検出器に用いられる 1 パルス遅延回路の回路図である。

【図 10】 図 1 のハーフレート CDR 回路に用いられるチャージポンプ回路の回路図である。

【図 11】 この発明の実施の形態 2 にかかるハーフレート CDR 回路のハーフレート位相検出器に用いられる 1 パルス遅延回路の回路図である。

【図 12】 この発明の実施の形態 3 にかかるハーフレート CDR 回路のハーフレート位相検出器に用いられる 1 パルス遅延回路の回路図である。

【図 13】 この発明の実施の形態 4 にかかるハーフレート CDR 回路に用いられるチャージポンプ回路の回路図である。

【図 14】 図 13 のハーフレート CDR 回路に用いられるハーフレート位相検出器において、1 パルス遅延量にずれが生じた場合の信号のタイミングチャートである。

【図 15】 この発明の実施の形態 5 にかかるハーフレート CDR 回路に用いられるチャージポンプ回路の回路図である。

【図 16】 この発明の実施の形態 6 にかかるハーフレート CDR 回路に用いられるチャージポンプ回路の回路図である。

【図 17】 この発明の実施の形態 7 にかかるハーフレート CDR 回路に用いられるチャージポンプ回路の回路図である。

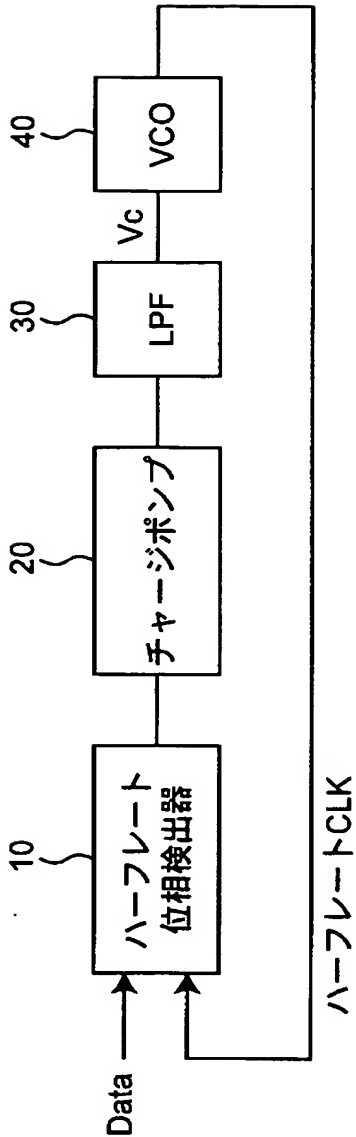
【符号の説明】

10 ハーフレート位相検出器、 15 選択回路、 16 第 1 排他的 OR 回路、 17 第 2 排他的 OR 回路、 18 ラッチ遅延回路、 19 1 パル

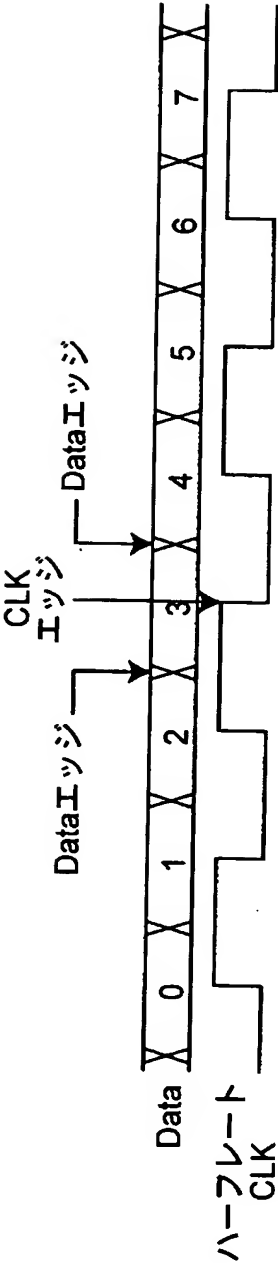
ス遅延回路、 2 0 チャージポンプ回路、 3 0 低域フィルタ、 4 0 電
圧制御発振器。

【書類名】 図面

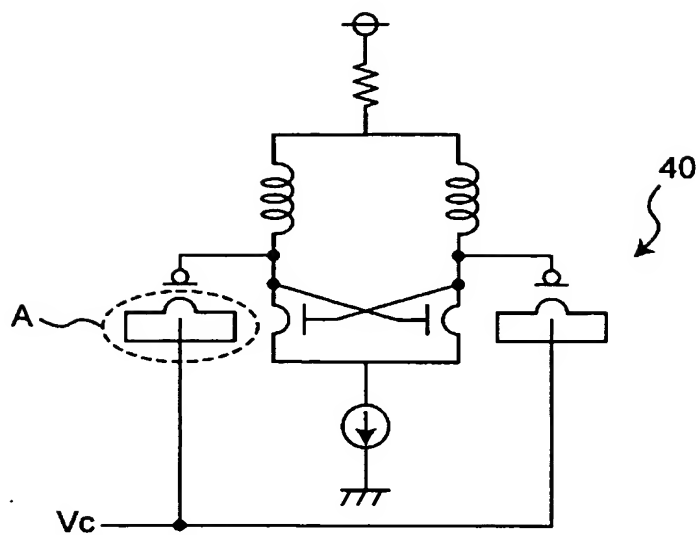
【図 1】



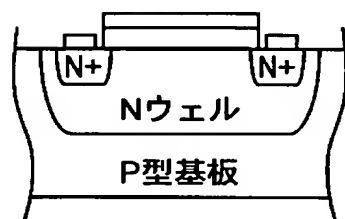
【図 2】



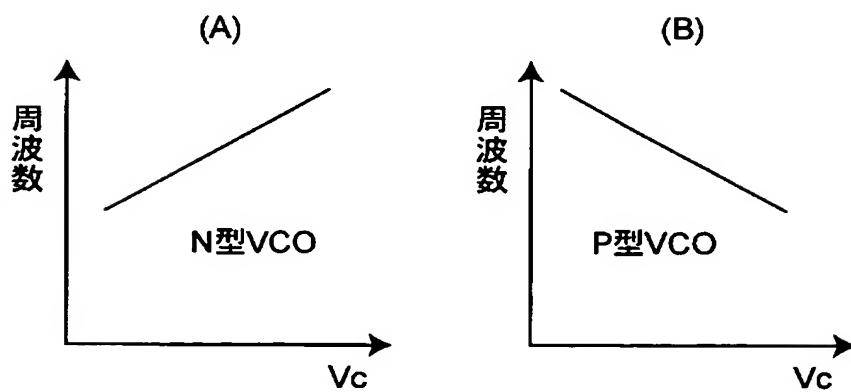
【図 3】



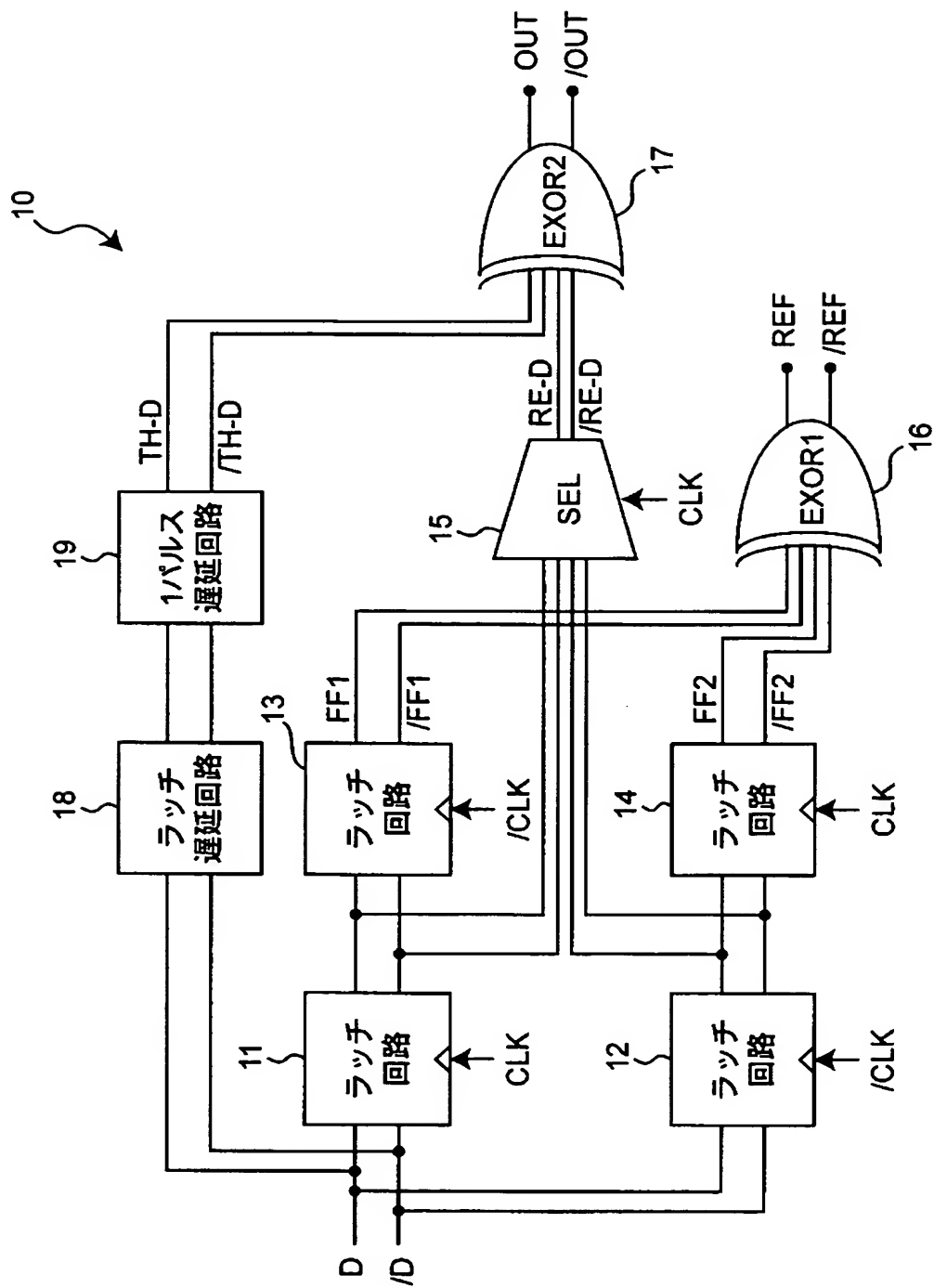
【図 4】



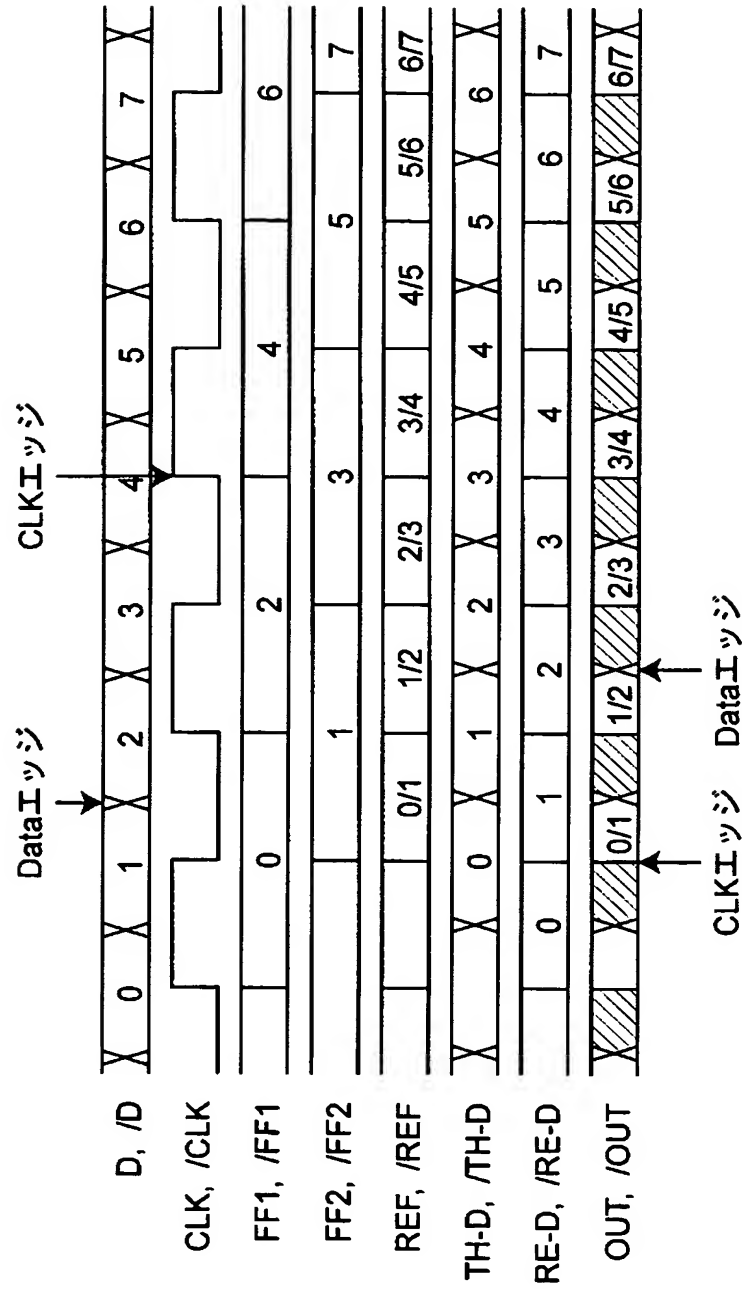
【図 5】



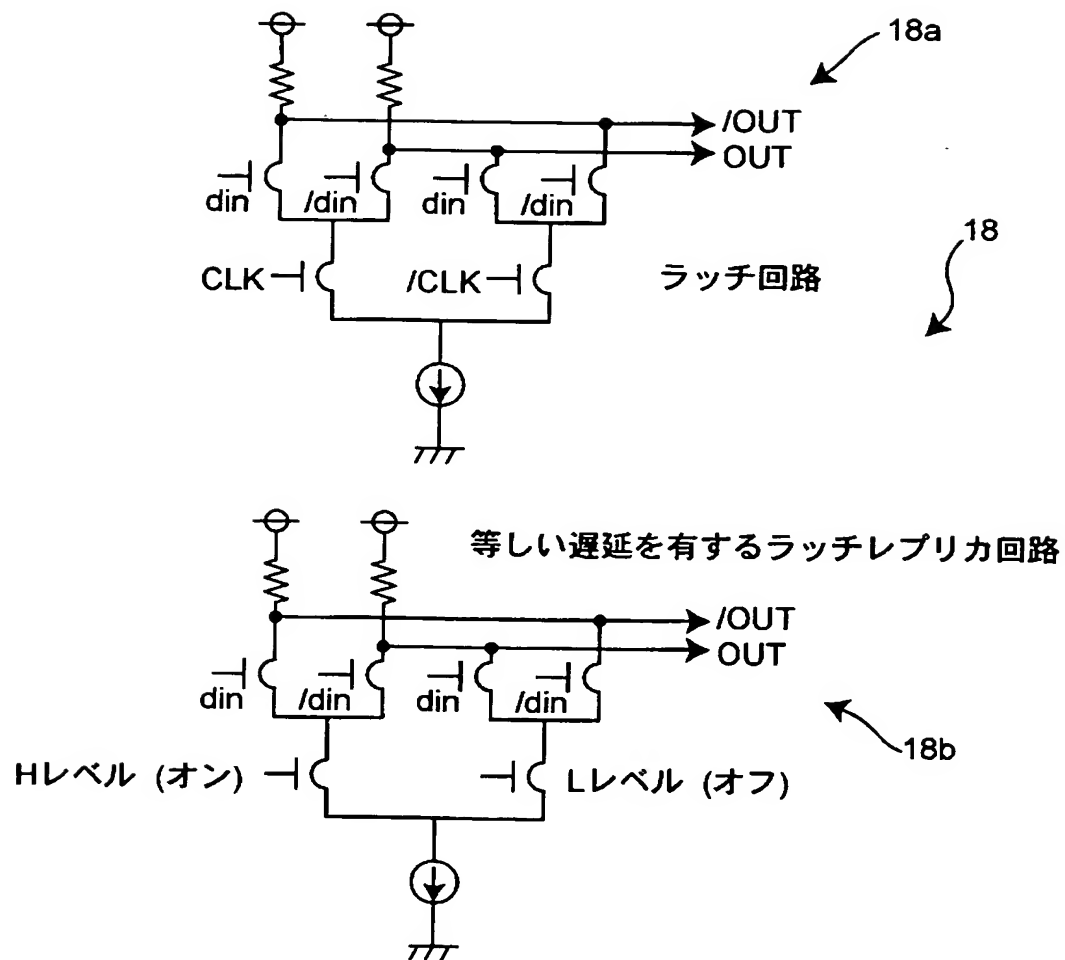
【図 6】



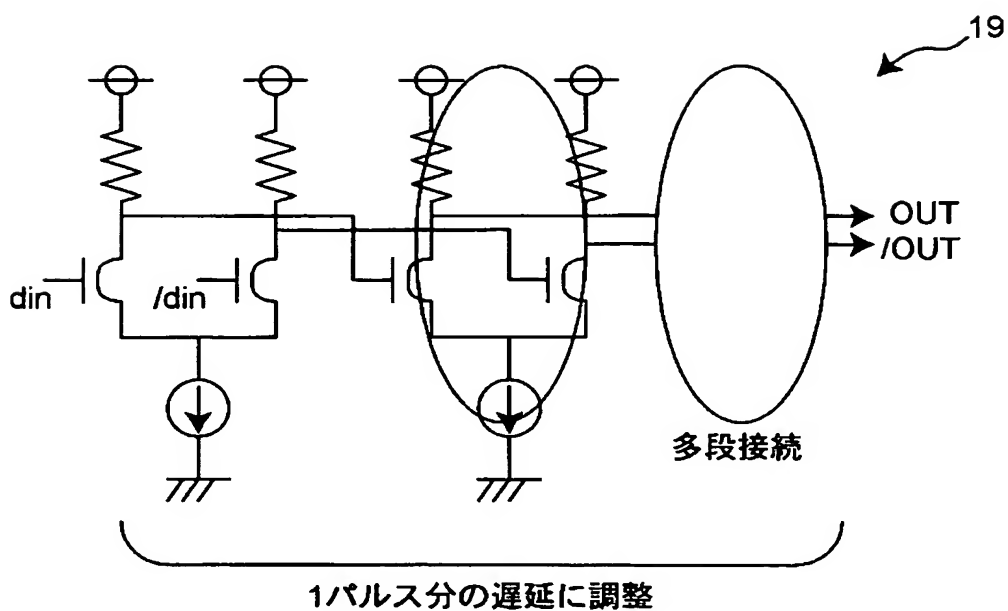
【図 7】



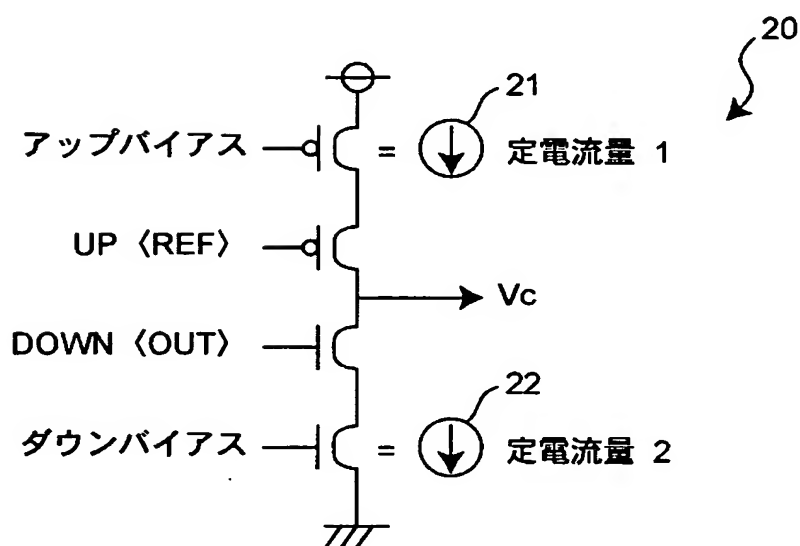
【図 8】



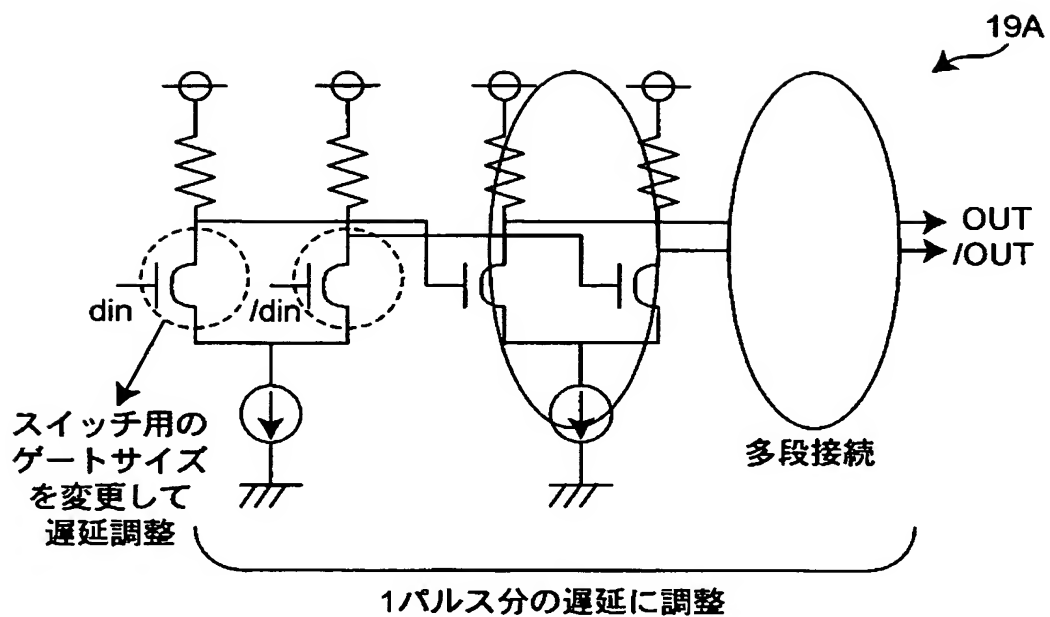
【図 9】



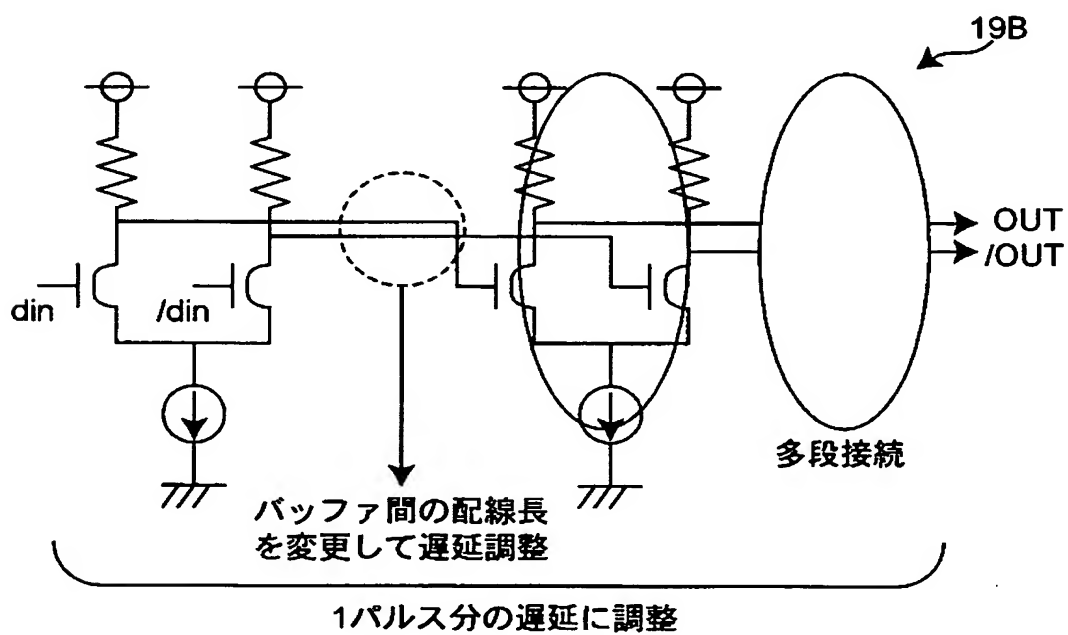
【図 10】



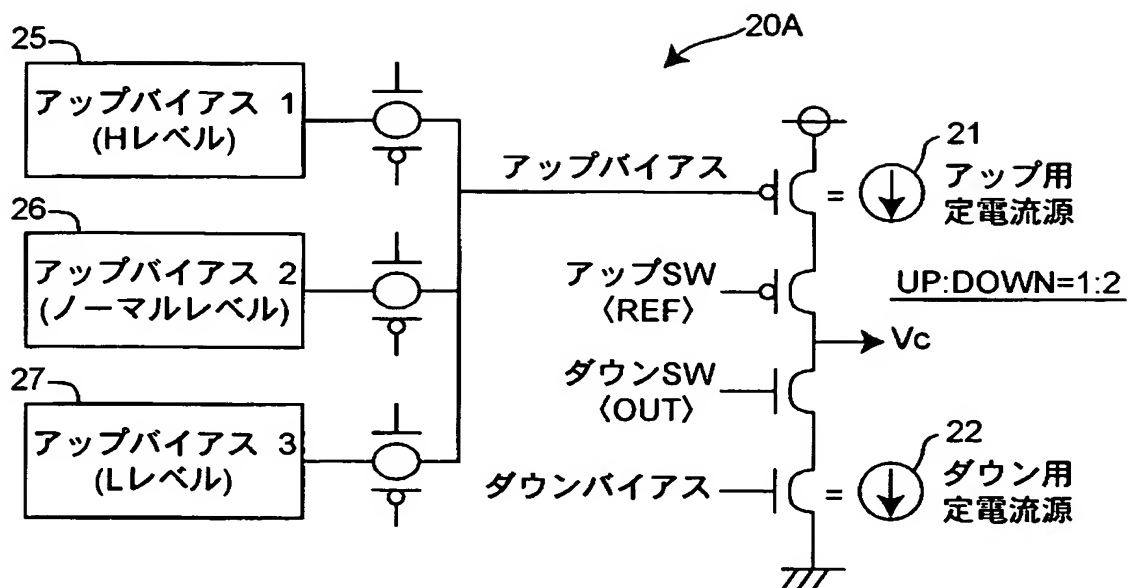
【図 1 1】



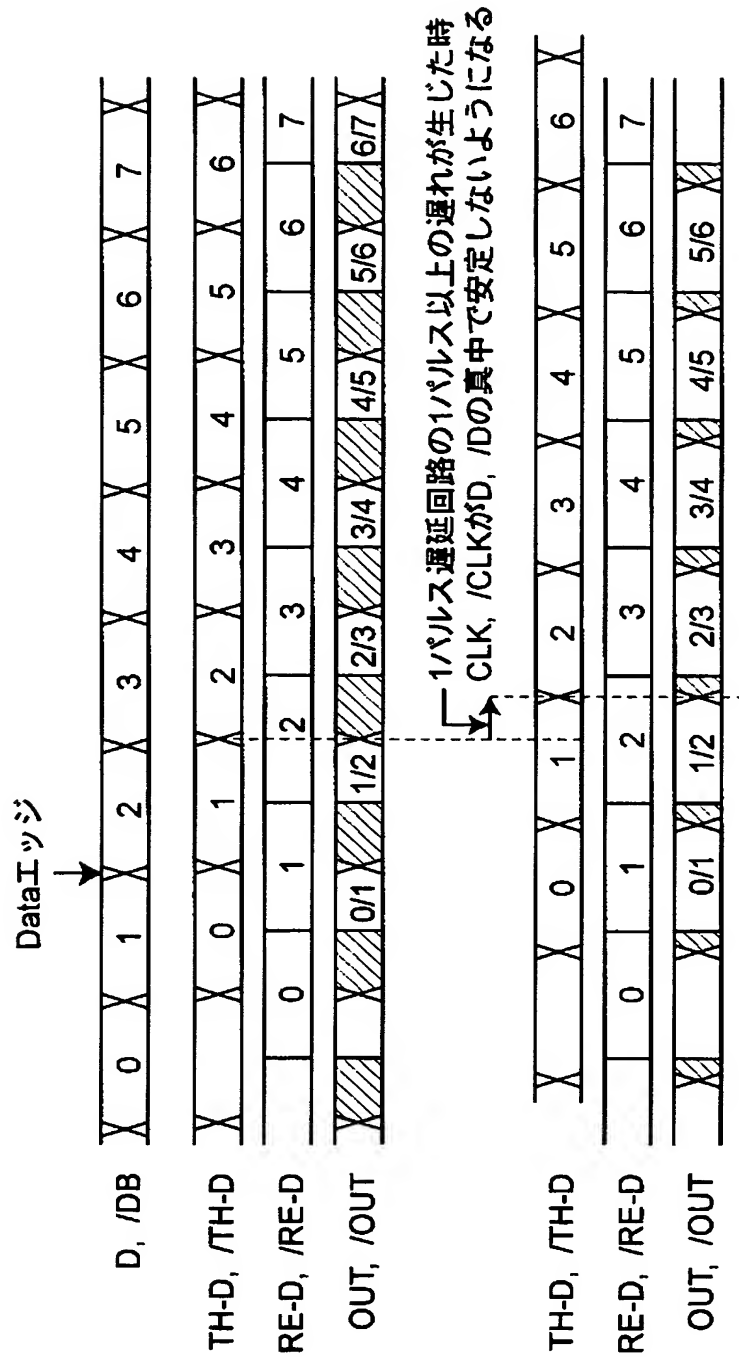
【図 1 2】



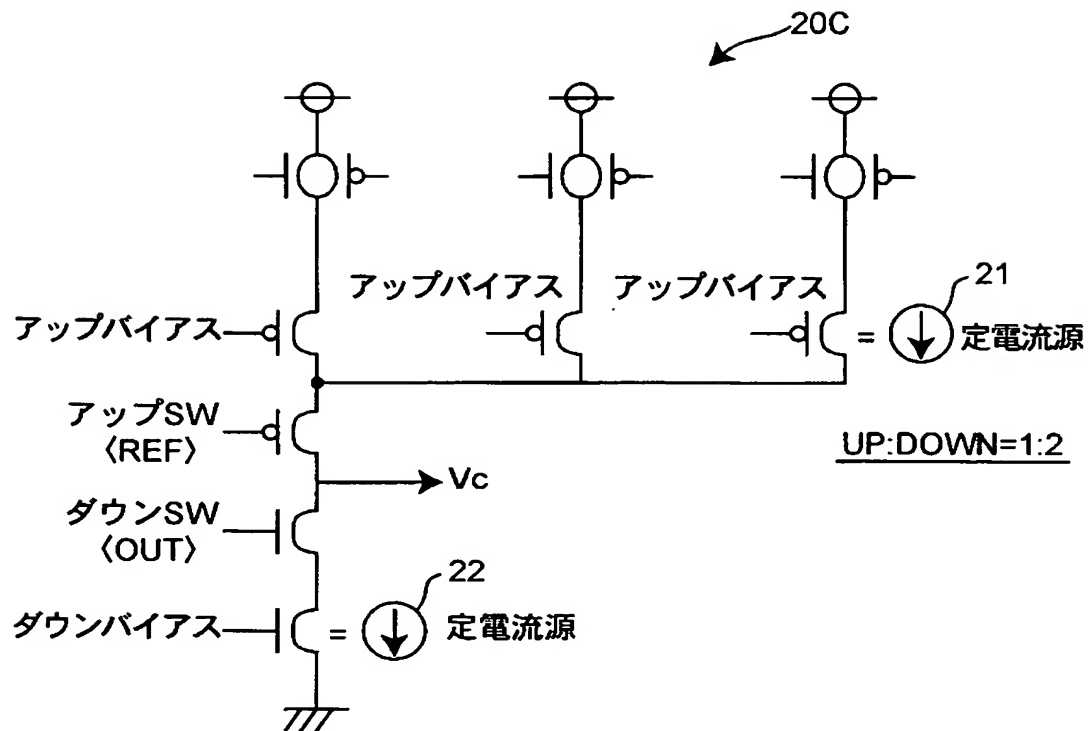
【図 13】



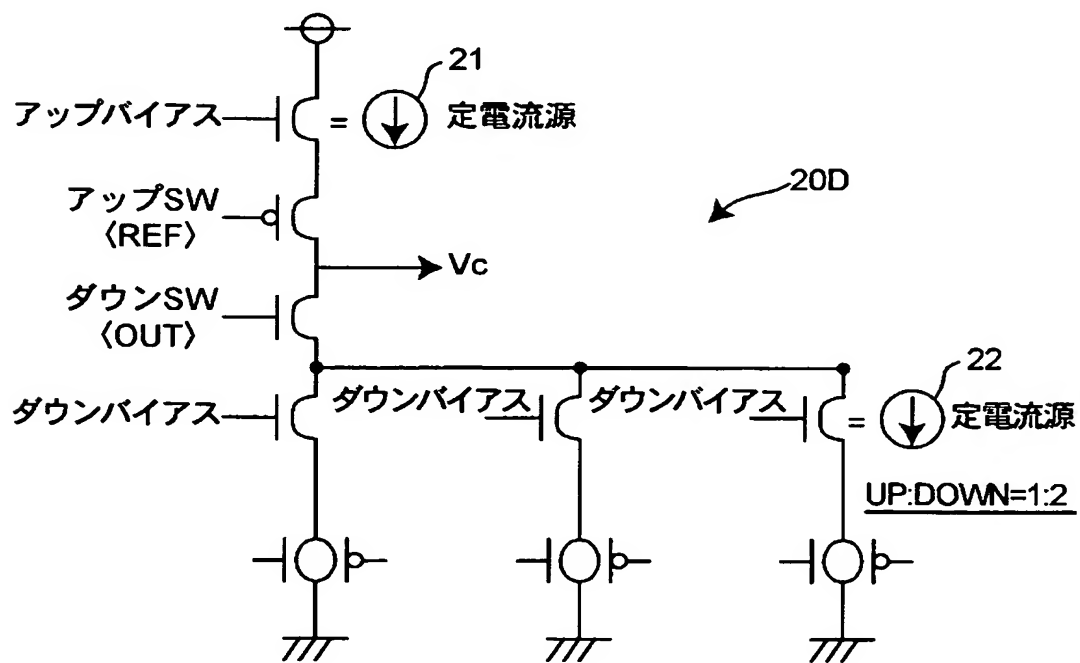
【図 14】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 ハーフレート C D R 回路において、ハーフレート位相検出器の位相比較極性が、ハーフレート位相検出器における回路構成の複雑化と回路規模の増大を招かずに、低ジッタの N 型電圧制御発振器の使用を可能にする。

【解決手段】 ハーフレート位相検出器に 1 パルス遅延回路を挿入して位相比較極性を反転させることにより、N 型電圧制御発振器をハーフレート C D R 回路に使用することができる。

【選択図】 図 6

特願 2 0 0 3 - 1 4 8 8 0 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 0 1 3]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 2 4 日

[変 更 理 由]

新 規 登 録

住 所

東 京 都 千 代 田 区 丸 の 内 2 丁 目 2 番 3 号

氏 名

三 菱 電 機 株 式 会 社